



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2005252688 A

(43) Date of publication of application: 15.09.05

(51) Int Cl      **H04N 9/45**  
**H04N 9/78**

(21) Application number: 2004060844

(71) Applicant      NEC CORP

(22) Date of filing: 04.03.04

(72) Inventor: ITAKURA SHINJI

**(54) COMPOSITE ANALOG/COMPONENT DIGITAL IMAGE SIGNAL CONVERTER AND CONVERSION METHOD, AND SUBCARRIER GENERATING CIRCUIT USED FOR IT, AND LUMINANCE/COLOR SIGNAL GENERATING CIRCUIT**

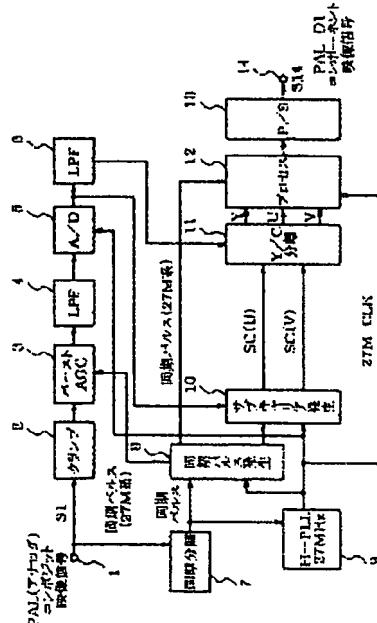
stable subcarrier signal can be extracted, and the accuracy of the YC separation is improved.

COPYRIGHT: (C)2005,JPO&amp;NCIPI

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To make a 4 fcc frequency clock circuit for a YC separation unnecessary by providing only the clock circuit of a reference frequency (27 MHz) as an analog clock circuit in a composite analog/component digital image signal converter.

**SOLUTION:** Generated from a synchronizing signal extracted from an input analog signal is 27 MHz clock used as the reference of the component digital image signal. The input signal is A/D converted by this clock. The subcarrier signal synchronized with the burst signal of the composite image signal is generated from the clock and the A/D converted digital video signal only by a digital circuit. The YC separation of the composite image signal is performed by this subcarrier signal to a component image signal. Further, a burst AGC circuit is added in which the amplitude of the burst signal of the input image signal becomes constant. Consequently, the







(5)

JP 2005-252688 A 2005. 9. 15

放送局内では、以前は、入力したアナログ映像信号（コンポジット形式）をアナログのまま、または、コンポジットデジタル映像信号（D2信号）に変換してから処理していた。近年、放送局内のデジタル化が進展し、デジタル処理が容易である理由から、アナログ信号をコンポーネントデジタル映像信号（D1信号）に変換してから処理を行うことが多くなっている。従つて、コンポジットアナログ／コンポーネントデジタル映像信号変換の解説が伸びており、重要性が増している。

【0003】

コンポジット形式のアナログ映像信号をコンポーネント形式のデジタル映像信号に変換する從来の装置の一例として、PAL方式アナログ映像信号をコンポーネントデジタル映像（D1）信号に変換する装置例を図6に示す。なお、コンポジットアナログ映像信号は、アナログコンポジット映像信号と称してもよい。また、コンポーネントデジタル映像信号は、デジタルコンポーネント映像信号と称してもよい。

【0004】

図6において、入力端子101に入力されたPALコンポジットアナログ映像信号S101は、低域通過フィルタ（LPF）102と、同期分離回路109と、BCO回路（バースト制御発振器）111とにそれぞれ分岐入力される。LPF102は、入力信号S101から映像信号を抽出するための6MHzの帯域をもつ。同期分離回路109は、入力信号S101から同期信号を抽出する。BCO回路111は、入力信号S101に基づいてサブキャリア周波数（fsc）の4倍のクロック（4fsc）を発生する。

【0005】

LPF102の出力信号は、クランプ回路103を通ってA/D変換回路104に入力される。クランプ回路103は、入力されたコンポジットアナログ映像信号のバスクボーチ（基準電圧）を一定電圧に固定する。A/D変換回路104は、BCO回路111で生成された4fscクロックにより、コンポジットアナログ映像信号をA/D変換（アナログ／コンポーネントデジタル映像信号変換）する。

【0006】

同期パルス発生回路110は、同期分離回路110は、同期分離回路110及びBCO回路109及びBCO回路111の出力信号に基づいて、各プロックを制御するための4fsc系の同期パルスを生成する。H-P PLL回路113は、BCO回路111及び同期パルス発生回路110の出力信号に基づいて、コンポーネントデジタル映像信号を生成する（特許文献3参照）。例えば2.7MHzクロックを生成する（同期パルス発生回路112は、同期パルス発生回路1110及びH-P PLL回路113の出力信号に基づいて、2.7MHzクロック系の各回路を制御するための同期パルスを生成する。

【0007】

Y/C分離回路105は、A/D変換回路104から出力されたコンポジットデジタル信号から、輝度成分Y、色差成分U、V（C）をそれぞれ分離する。D2/D1変換回路106は、Y/C分離回路105から出力された4fscクロック系のデータを、D1の基準クロックである2.7MHzに合わせるために変換処理（コンポーネントデジタル映像信号変換、及び信号レート変換）を行う。

【0008】

プロセス回路107は、D2/D1変換回路106の出力信号に対し、各プロックの插入、映像のゲイン調整を行う。P/S変換回路（パラレル／シリアル変換回路）108は、プロセス回路107からパラレルで送られたデジタル信号をシリアル信号（S114）として出力端子114へ出力する。

以上説明したように、從来技術のコンポジットアナログ／コンポーネントデジタル映像信号変換装置を行つて、Y/C分離のための4fscクロックと、コンポーネントデジタル映像信号変換装置のための2.7MHzクロックとの2つのクロックを必要とする。これら4fscクロック及び2.7MHzクロックの発生回路はアナログ回路で構成されるため、回路規模

を小さくすることは難しい。

【0010】

なお、NTSC方式のアナログ映像信号をコンポーネントデジタル映像（D1）信号に変換する装置例としては、特許文献1に示す装置がある。特許文献1において、Y/C分離を行うのはY/C分離器102、コンポーネントデジタル映像信号変換（信号レート変換）を行うのは、レート変換器104となる。

【0011】

また、PAL方式における4fscクロック作成に使用可能なサブキャリア信号再生回路の例が特許文献2に示されている。このサブキャリア信号再生回路でもアナログ回路で構成されている。

【0012】

【特許文献1】特開2000-100203号公報（第1-2頁、図1）  
【特許文献2】特願昭57-53192号公報（第1頁、第1図）  
【特許文献3】特開2000-925007号公報（第1-2頁、図2、図6～8）

【説明の開示】

【説明が解決しようとする課題】

【0013】

上述したように、図6に示す從来技術のコンポジットアナログ／コンポーネントデジタル映像信号変換装置は、Y/C分離のための4fscクロック、コンポーネントデジタル映像信号変換装置の基準周波数クロック（2.7MHzクロック）の2つのクロックを必要とする。クロックの発生回路は、アナログ回路で構成されるため、回路規模を小さくすることは難しい。

【0014】

このことから、アナログ回路規模を小さくし、デジタル回路で置き換えるコンポジットアナログ／コンポーネントデジタル映像信号変換装置が、コンパクトな製品を提供する上に必要となる。

【0015】

しかし、特許文献1には、信号レートの変換を行うための詳細な構成の開示がなく、どのようなクロック回路を用いているかが不明である。さらに、サブキャリアを生成（再生）する技術についての記述もなく、課題を解決するための参考とはならない。

【0016】

また、特許文献2にも、サブキャリアをデジタル回路のみで生成（再生）する技術についての記述がなく、課題を解決するための参考とはならない。

【0017】

本発明の目的は、アナログクロック回路としてはコンポジットデジタル映像の遅延となる基準周波数クロックを生成するクロック回路のみで構成し、アナログ回路要素を少なくて済むことにより、從来技術により回路規模を低減可能なジットアラゴン／ノコンポーネントデジタル映像信号変換装置及び変換方法を提供することにある。

【課題を解決するための手段】

【0018】

本発明の請求項1に係るサブキャリア発生回路は、輝度信号と色信号とがサブキャリアに変換されるコンポジットアナログ映像信号をコンポーネントデジタル映像信号のデジタル化用に用いられるサブキャリア発生回路であり、前記コンポジットアラゴンクロックを計数する際、前記コンポジットアラゴンクロック信号とを分離するサブキャリア信号から、輝度信号と色信号とをデジタル化して構成されたコンポジットデジタル映像信号から、輝度信号と色信号とをデジタル化するために用いられるサブキャリア信号のデジタル化用に用いた前記コンポジットアラゴンクロック信号とを算出する位相を算出手段と、サブキャリア信号の位相を算出手段と、前記位相算出手段で算出された位相を、前記コンポジットデジタル映像信号のバースト信号との比



【0028】 本発明の請求項1-1に係るコンボジットアナログ/コンボネントデジタル映像信号変換装置は、請求項9に係るコンボジットアナログ/コンボネントデジタル映像信号変換装置において、前記周波数・色信号分離手段として、請求項5、または6に係る周波数・色信号分離回路を備える。

【0029】 本発明の請求項1-2に係るコンボジットアナログ/コンボネントデジタル映像信号変換装置は、コンボジットアナログ映像信号をコンボネントデジタル映像信号に変換する方法は、前記周波数・色信号分離手段において、前記周波数・色信号を抽出する。この場合、前記周波数・色信号を抽出する方法は、前記周波数・色信号を抽出する方法より周波数信号を抽出する方法よりも初期化が速い。

【0030】 本発明の請求項1-3に係るコンボジットアナログ/コンボネントデジタル映像信号変換装置は、前記周波数・色信号を抽出する方法より周波数信号を抽出する方法よりも初期化が速い。

【0031】 本発明によれば、クロック回路としてはコンボネントデジタル映像の基準となる基準周波数クロック(27MHz系クロック)を生成するクロック回路のみとし、かつ、サブキャリア信号の発生もデジタル回路のみで行うよう構成したので、コンボジットアナログ/コンボネントデジタル映像信号変換装置全体の回路規模が小さくなり、従来技術よりも小型化、低価格化が可能となる。

【発明の効果】

本発明によれば、クロック回路としてはコンボネントデジタル映像の基準となる基準周波数クロック(27MHz系クロック)を生成するクロック回路のみとし、かつ、サブキャリア信号の発生もデジタル回路のみで行うよう構成したので、コンボジットアナログ/コンボネントデジタル映像信号変換装置全体の回路規模が小さくなり、従来技術よりも小型化、低価格化が可能となる。

【発明を実施するための最良の形態】

【0032】 本発明の概要を説明する。本発明のコンボジットアナログ/コンボネントデジタル映像信号変換装置(以下、映像信号変換装置と略記)は、コンボジットアナログ映像信号を、コンボネントデジタル映像信号に変換するための装置である。コンボジットアナログ映像信号は、サブキャリア(カラーサブキャリア:色副波送波)により輝度信号と色信号とが重畳されたアナログ信号である。コンボネントデジタル映像信号は、輝度信号(輝度成分)と色信号(色差成分)とが分離されたデジタル信号である。

【0033】 本発明の信号変換装置は、入力コンボジットアナログ信号より抽出した同期信号に基づいて、コンボネントデジタル映像信号の基準となる周波数のクロックを生成する。この基準周波数(基準周波数)は、單一の固定周波数であり、周波数固定装置である。映像信号変換装置はまた、この基準周波数クロック、あるいは基準クロックで動作する各回路を映像信号に同期させて制御するための各種同期パルス(基準周波数同期パルス)も同時に生成する。

【0034】 なお、基準周波数としては、通常の伝送速度270Mbpsのシリアルコンボネントデジタル映像信号に対応させる場合、27MHzを用いる。この場合、基準周波数クロック(基準クロック)を27MHzと称する。

【0035】 映像信号変換装置は、また、上記基準周波数クロックで入力コンボジットアナログ信号

をA/D変換(アナログ/デジタル変換)し、コンボジットデジタル映像信号とする。なお従来技術では、このA/D変換をサブキャリア周波数の4倍の周波数のクロックで行っている。

【0036】 本映像信号変換装置は、続けて、上記基準周波数クロック(同期パルスを含む)と上記A/D変換されたコンボジットデジタル映像信号とにに基づいて、入力コンボジットアナログ映像信号をサブキャリア信号を、デジタル回路のみで発生させることにより周波数信号を、コンボジットデジタル映像信号のベースト信号にも同期している。このサブキャリア信号は、コンボジットデジタル映像信号のベースト信号(色信号)は、色信号の色信号を復元するとき、サブキャリアの周波数・位相を同期させる必要があり、この参照位相として使用される。

【0037】 本映像信号変換装置は、さらに、上記サブキャリア信号により、コンボジットデジタル映像信号(輝度信号(Y))を行い、コンボネントデジタル映像信号に変換する。

【0038】 本発明によれば、コンボジットアナログ映像信号からコンボネントデジタル映像信号への変換処理を、單一の基準周波数クロック(27MHzクロック)のみで処理することができる。このため、コンボジットデジタル映像信号をベースト信号(色信号)とし、前記周波数クロックを生成し、前記入力コンボジットアナログ映像信号より周波数信号を抽出する。この変換処理を從来より小型化、低価格化することができる。

【0039】 本発明では、さらに安定したY/C分離を行うために、入力コンボジットアナログのベースト信号の振幅が一定になるバーストAGC(自動利得制御)回路を付加することができる。これにより、本映像信号変換装置は、安定したサブキャリア信号を抽出できる。

【0040】 本発明を実施するための最も良の形態について図面を参照して詳細に説明する。

【0041】 図1は、本発明のコンボジットアナログ/コンボネントデジタル映像信号変換装置の実施形態を示すブロック構成図である。本例の映像信号変換装置は、PAL方式コンボジットアナログ映像信号( D1信号)に変換するPAL/D1変換装置と、映像信号変換装置( H-PLL回路7と、Y/Yクロック)のみで構成されている。なお、コンボジットアナログ映像信号は、アナログコンボジット映像信号と称してもよい。また、コンボネントデジタル映像信号は、デジタルコンボネント映像信号と称してもよい。

【0042】 図1において映像信号変換装置は、入力端子1と、クランプ回路2と、バーストAGC回路3と、第1の低域通過フィルタ(LPF)4と、A/D変換回路5と、第2の低域通過フィルタ(LPF)6とを備えている。映像信号変換装置は、さらにも同様分離回路7と、Y/Yクロック回路8と、H-PLL回路9と、サブキャリア発生回路10と、Y/Yクロック回路11と、プロセス回路12と、P/S変換回路13と、出力端子14とを備えている。

【0043】 本例の映像信号変換装置(PAL/D1変換装置)の動作を説明する。

【0044】 入力端子1に入力されたPALコンボジットアナログ映像信号S1は、クランプ回路2と同様分離回路7とに分岐入力される。

【0045】 クランプ回路2は、入力端子1から入力されたコンボジットアナログ映像信号S1のバ

をA/D変換(アナログ/デジタル変換)し、コンボジットデジタル映像信号とする。なお従来技術では、このA/D変換をサブキャリア周波数の4倍の周波数のクロックで行っている。

【0036】 本映像信号変換装置は、コンボジットデジタル映像信号とに基づいて、入力コンボジットアナログ映像信号をサブキャリア信号を、デジタル回路のみで発生させることにより周波数信号を、コンボジットデジタル映像信号のベースト信号(色信号)は、色信号の色信号を復元するとき、サブキャリアの周波数・位相を同期させる必要があり、この参照位相として使用される。

【0037】 本映像信号変換装置は、さらに、上記サブキャリア信号により、コンボジットデジタル映像信号(輝度信号(Y))を行い、コンボネントデジタル映像信号に変換する。

【0038】 本発明によれば、コンボジットアナログ映像信号からコンボネントデジタル映像信号への変換処理を、單一の基準周波数クロック(27MHzクロック)のみで処理することができる。このため、コンボジットデジタル映像信号をベースト信号(色信号)とし、前記周波数クロックを生成し、前記入力コンボジットアナログ映像信号より周波数信号を抽出する。この変換処理を從来より小型化、低価格化することができる。

【0039】 本発明では、さらに安定したY/C分離を行うために、入力コンボジットアナログのベースト信号の振幅が一定になるバーストAGC(自動利得制御)回路を付加することができる。これにより、本映像信号変換装置は、安定したサブキャリア信号を抽出できる。

【0040】 本発明を実施するための最も良の形態について図面を参照して詳細に説明する。

【0041】 図1は、本発明のコンボジットアナログ/コンボネントデジタル映像信号変換装置の実施形態を示すブロック構成図である。本例の映像信号変換装置は、PAL方式コンボジットアナログ映像信号( D1信号)に変換するPAL/D1変換装置と、映像信号変換装置( H-PLL回路7と、Y/Yクロック)のみで構成されている。なお、コンボジットアナログ映像信号は、アナログコンボジット映像信号と称してもよい。また、コンボネントデジタル映像信号は、デジタルコンボネント映像信号と称してもよい。

【0042】 図1において映像信号変換装置は、入力端子1と、クランプ回路2と、バーストAGC回路3と、第1の低域通過フィルタ(LPF)4と、A/D変換回路5と、第2の低域通過フィルタ(LPF)6とを備えている。映像信号変換装置は、さらにも同様分離回路7と、Y/Yクロック回路8と、H-PLL回路9と、サブキャリア発生回路10と、Y/Yクロック回路11と、プロセス回路12と、P/S変換回路13と、出力端子14とを備えている。

【0043】 本例の映像信号変換装置(PAL/D1変換装置)の動作を説明する。

【0044】 入力端子1に入力されたPALコンボジットアナログ映像信号S1は、クランプ回路2と同様分離回路7とに分岐入力される。

【0045】 クランプ回路2は、入力端子1から入力されたコンボジットアナログ映像信号S1のバ

シグボーナー（基準電圧）を一定電圧に固定する。

【004 6】

同期分離回路7は、入力端子1から入力されたコンボジットアナログ映像信号S1から同期信号（水平同期信号及び垂直同期信号）を抽出する。

【004 7】

H-P LL回路9は、フェーズ・ロック・ループ（PLL）を備えた発振回路であり、同期分離回路7で抽出された同期信号（水平（H）同期信号）から27MHzのクロックを生成する。つまりH-P LL回路9は、1水平ラインの期間に発振出力のサイクルが1728サイクルとなるように、PLLの位相比較を行っている。

【004 8】

同期パルス発生回路8は、同期分離回路7及びH-P PLL回路9の各出力信号に基づいて、各ブロックを制御するための27MHzクロック系の複数の同期パルスを生成する。これらの同期パルスは、用いられる規格に応じたコンボジットデジタル映像信号中の各信号間の時間関係を示す、様々なタイミング信号である。

【004 9】

ベーストAGC回路（自動利得制御回路）3は、同期パルス発生回路8の出力信号に従って、クランプ回路2の出力コンボジットアナログ映像信号のベースト部分を一定の振幅にする。ベーストの振幅を一定に保つことで、A/D変換後のベースト回路部分がつぶれることなく、安定したベースト位相を得ることが出来る。（ベーストAGC回路3の詳細は、後文図2を参照して説明する。）

ベーストAGC回路3の出力信号は、A/D変換される際の折り返しを防止するLPPF4を通して説明する。

【005 0】

A/D変換回路5は、入力されたコンボジットアナログ映像信号をA/D変換（アナログ/デジタル変換）し、コンボジットデータ映像信号とする。

【005 1】

サブキャリア発生回路10は、27MHzクロックからサブキャリアを発生する回路である。サブキャリア発生回路10は、同期パルス発生回路8及びH-P LL回路9の各出力信号に基づいて、A/D変換回路5の出力映像信号から、映像信号内の色差成分であるS、B成分、V成分にロックしたサブキャリアをデジタル的に生成する。サブキャリア発生回路10は、27MHzクロックのみの单一周ロックで構成され、集積化が容易であるため、従来と比較してコストパフォーマンスが実現できる。（サブキャリア発生回路10の詳細は、後文図3を参照して説明する。）

A/D変換回路5の出力信号はまた、映像信号の帯域を抽出するLPPF6を通してY/C分離回路11に入力される。

【005 2】

Y/C分離回路11は、サブキャリア発生回路10の各出力信号に基づいて、A/D変換回路5の出力信号形式をコンボジットからコンボジットシグナルに変換する。このとき、Y/C分離回路11では、27MHzクロックのみの单一周ロックで、輝度信号（輝度成分）Y、色信号（色差成分U、V）の抽出を行う。（Y/C分離回路11の詳細は、後文図4を参照して説明する。）

プロセス回路12は、同期パルス発生回路8及びH-P LL回路9の各出力信号に基づいて、Y/C分離回路11の出力信号に対するY、U、V成分のディシジョン調整、D1コードマスク用の映像タイミング基準コード（SAV、EAV）の挿入などをを行う。なお、SAVは1ラインの始まりを、EAVは1ラインの終わりを、それぞれ示す基準コード（制御ビット）である。

【005 3】

P/S変換回路（パラレル/シリアル変換回路）13は、プロセス回路12から出力されたパラレルのデータ（PALコンボジット信号）をシリアルデータに変換し、PAL D1コンボジット映像信号S14として出力端子14へ出力する。

【005 4】

このようにして、本例の映像信号変換装置（PAL/D1変換装置）は、入力されたPALコンボジットアナログ映像信号（S1）をPALコンボジット（D1）シリアル信号（S14）へ変換して出力する。本例の構成のみで動作できる。よって、本発明の映像信号変換装置は、全体の回路規模が小さくなることから、從来よりも、コンパクトな映像信号変換装置（PAL/D1変換装置）を提供することができる。

【005 5】

図2は、図1のベーストAGC回路3の詳細構成例を示すブロック構成図である。図2において、本例のベーストAGC回路3は、ダイイン（GAIN）調整回路3-3と、帯域選通フィルタ（BPF）3-4と、整流回路3-5と、低周波フィルタ（LPPF）3-6と、サンプルホールド回路3-7と、比較回路3-8とを有している。バーストAGC回路3は、その他の、入力端子3-0、3-1、3-2と、出力端子3-9とを有している。

【005 6】

ベーストAGC回路3の入力端子3-0、3-1には、同期パルス発生回路8からの27MHz H-Zクロック系の同期パルスが供給される。入力端子3-0に入力される同期パルスは、コンボジットアナログ映像信号のバースト期間だけを抽出するためのパルスであり、GAIN調整回路3-3で用いられる。入力端子3-1に入力される同期パルスは、上記バースト期間内のある1期間（サンプリングタイミング）だけを抽出するためのパルス（サンプリングパルス）であり、サンプルホールド回路3-7で用いられる。

【005 7】

入力端子3-2の入力信号は、クランプ回路2でクランプ処理が行われたコンボジットアナログ映像信号であり、GAIN調整回路3-3を通過して、BPF3-4に入力される。

【005 8】

BPF3-4は、GAIN調整回路3-3からの出力信号から色成分（サブキャリア周波数成分）を抽出するための帯域選通を行う。

【005 9】

整流回路3-5は、BPF3-4で抽出された周波数成分を整流し、LPPF3-6により平滑化し、サンプルホールド回路3-7に入力される。

【006 0】

サンプルホールド回路3-7は、同期パルス発生回路8からのバーストのある点に同期したサンプリングパルスのタイミングに合わせて、入力信号の値（電圧値）を保持する。

【006 1】

比較回路3-8は、サンプルホールド回路3-7の出力電圧（保持電圧）と、あらかじめ設定された基準電圧の差分を検出し、検出結果をGAIN調整回路3-3に戻す。

【006 2】

GAIN調整回路3-3で、同期パルス発生回路8からのベースト回路10は、第1、第2、及び第3の補正値生成回路5-1、5-2、5-3と、補正値加算回路5-4と、固定値出力回路5-5と、位相値加算回路5-6と、位相値ラップチ回路5-7と、正弦波（SIN波）ROM5-8と、余弦波（COS波）ROM5-9とを有している。サブキャリア発生回路10は、また、帯域選通フィルタ（BPF）6-1と、乗算回路6-3と、低周波フィルタ6-8と、補正値計算回路6-9、及び第2の位相ラップチ回路6-5、6-6と、位相差加算回路7-1と、反転回路7-2とを有している。サブキャリア（VIDE0）入力端子6-0と、サブキャリア（VIDE0）出力端子6-2と、

【006 3】

図3は、図1のサブキャリア発生回路10の詳細構成例を示すブロック構成図である。図3において、本例のサブキャリア発生回路10は、第1、第2、及び第3の補正値生成回路5-1、5-2、5-3と、補正値加算回路5-4と、固定値出力回路5-5と、位相値加算回路5-6と、位相値ラップチ回路5-7と、正弦波（SIN波）ROM5-8と、余弦波（COS波）ROM5-9とを有している。サブキャリア発生回路10は、また、帯域選通フィルタ（BPF）6-1と、乗算回路6-3と、低周波フィルタ6-8と、補正値計算回路6-9、及び第2の位相ラップチ回路6-5、6-6と、位相差加算回路7-1と、反転回路7-2とを有している。サブキャリア（VIDE0）入力端子6-0と、サブキャリア（VIDE0）出力端子6-2と、

【006 4】



値を90°進めるようにする。

[0084]

一方、入力端子60に入力されたA/D変換回路5でA/D変換されたコンボジットアナログ信号(VIDEO IN)は、BPF61でサブキャラリア周波数成分を抽出され、乘算回路63に入力される。

[0085]

乗算回路63は位相比較器であり、COS波ROM59の出力COS波と、BPF61を通した入力映像信号のバースト信号部分との位相を比較するために、それらの乗算を行なう。LPPF64は、乗算回路63の乗算結果から、高次成分を除去し、位相差を抽出する。

[0086]

各位相差ランチ回路65、66と位相差計算回路68とは協調して、入力端子67に入力されたHバ尔斯に従い、LPPF64からの位相差に対し、2H(2水平ライン)期間にわたる平均位相差を検出する。なお、Hバ尔斯(H PULSE)とは、同期バルス発生回路63に相当する回路バルスである。

[0087]

補正位相差回路69は、位相差計算回路68で検出された位相差に応じる補正值を補正位相差回路54に帰還することにより、SIN波とCOS波の位相を入力映像信号のサブキャラリアの位相に同期させる。

[0088]

ところで、サブキャラリアのV成分は、1H(水平ライン)毎に反転(正負の反転)するため、COS波を1H毎に反転させて生成する必要がある。

[0089]

このため、1ビットのカウンタであるカウンタ71で、入力端子70に入力された1Hクロックに従い、カウント値を“0”か“1”かに交互に反転させ、そのカウント出力を反転回路72に供給する。例えば、カウント値が“0”的ときはCOS波の符号はそのまま(+)表記)とし、カウント値が“1”的ときはCOS波の符号を反転(ーと表記)させようになることができる。ただし、どの水平ラインが“+”で、どの水平ラインが“-”であるかを指定するために、カウンタ71は、LPPF64の出力を参照して、カウント値の“0”/“1”を決定している。なお、1Hクロック(1H CLK)とは、同期バルス発生回路8で生成された、1H水平ライン周期を周期とする同期バルスである。

[0090]

反転回路72は、カウンタ71の出力に従い、COS波ROM59からのCOS波を1H毎に反転(正負の反転)させて、V成分にロックしたデジタルのCOS波(サブキャラリア:SC)として出力端子73へ出力する。

[0091]

図4は、図1のY/C分離回路11の詳細構成例を示すブロック構成図である。図4において、本例のY/C分離回路11は、信号選択部80と、第1、及び第2の加算回路84、85と、第1、及び第2の乗算回路86、88と、1H選延回路90と、第1、及び第2の低域通過フィルタ(LPF)91、92と、第1、及び第2の伝送歪み除去回路94、95などを有している。Y/C分離回路11はさらなら、第2、及び第3の入力端子と、第1、第2、及び第3の出力端子96、97、98とを有している。

[0092]

信号選延部80は、第1の入力端子81から、縦列に接続された2つの2H選延回路(2H DELAY)82、83を含んでいる。入力端子81(2H選延回路82の入力点)、2H選延回路82の出力点(2H選延回路83の入力点)、2H選延回路83の出力点がそれぞれ、加算回路84と加算回路85とに接続されている。

[0093]

入力端子81に、A/D変換回路5によりコンボジットアナログ映像信号をA/D変換したデジタル信号が、LPPF6を通して入力される。この信号は、2つの2H選延回路8

2、83により順次、1H(1水平ライン:時間として水平同期信号の周期)の2つの分の時間選延(2H選延)が累積的に与えられる。

[0094]

計算回路84、及び加算回路85はそれぞれ、入力端子81、2H選延回路82、2H選延回路83からの信号に対する重み付けをして加算することにより、U、V成分(色差信号)、及びY成分(輝度信号)を抽出する。

[0095]

計算回路84は、選延のない入力端子81からの信号に対し「1/4」を掛け、2H選延の2H選延回路82からの信号に対し「-1/2」を掛け、4H選延の2H選延の2H選延回路83からの信号に対し「1/4」を掛け、それらを加算、集計することによりU、V成分を抽出する。

[0096]

計算回路85は、選延のない入力端子81からの信号に対し「1/4」を掛け、2H選延の2H選延回路82からの信号に対し「1/2」を掛け、4H選延の2H選延回路83からの信号に対し「1/4」を掛け、それらを加算、集計することによりY成分を抽出する。

[0097]

ここで、デジタル化コンがジット映像信号から、Y成分と、U、V成分とを抽出する原理を説明する。

[0098]

対象のコンがジット信号をM、サブキャラリア周波数をfsc、時間をtとするど、Y、U、V間の関係は、  

$$U = Y + U \sin 2\pi fsc t \pm V \cos 2\pi fsc t$$

と表される。

[0099]

PALのU、V成分サブキリアは、下記の関係がある。

[0100]

(イ) U、V成分はライン毎に、位相が90°。ずれる。  
 (ロ) V成分はライン毎に位相が反転する。

[0101]

よって、ラインhでのY、U、V成分を、それぞれY(h)、U(h)、V(h)とする  
 より、ラインh-2、ラインh、ラインh+2間の関係は、  

$$(2) Y(h-2) = Y(h+2)$$
  

$$(3) U(h-2) = -U(h) = U(h+2)$$
  

$$(4) V(h-2) = -V(h) = V(h+2)$$

となる。

[0102]

よって、hラインでのA/D変換されたコンボジット映像信号M(h)を用いて、  

$$(5) Y(h) = 1/4 * M(h-2) + 1/2 * M(h) + 1/4 * M(h+2)$$
  

$$(6) U(h) + V(h) = 1/4 * M(h-2) - 1/2 * M(h) + 1/4 * M(h+2)$$

と整理することができ、Y成分とU、V成分とを抽出することができる。これらの式は図4の加算回路84、及び加算回路85に相当する(2H選延回路82の出力を基準(選延なし)に考えると、入力端子81の信号は、-2H選延、2H選延回路83の出力は、2H選延となる。)。

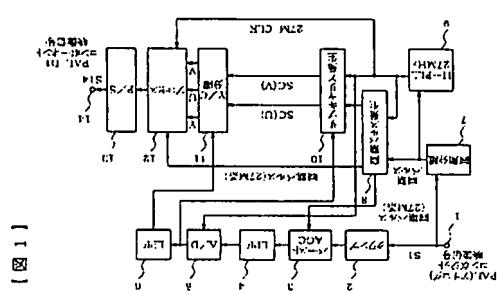
[0103]

ここで、先程(イ)では、90°位相がずれると述べたが、厳密に言えば、90°+0.576°。ずれる。これは、PALの規格が、(fsc = 11.35 / 4 + 1 / 6.25) × f/sであるため、確かにサンプルポイントがずれ、位相が選延していることによる。

[0104]

Y成分とU、V成分との分離の精度をあげるために、この位相のずれを補正する必要

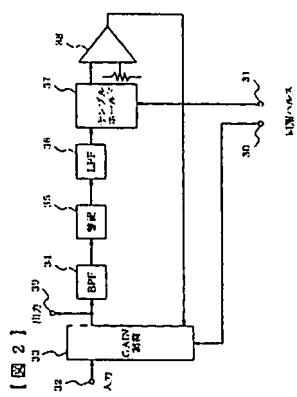




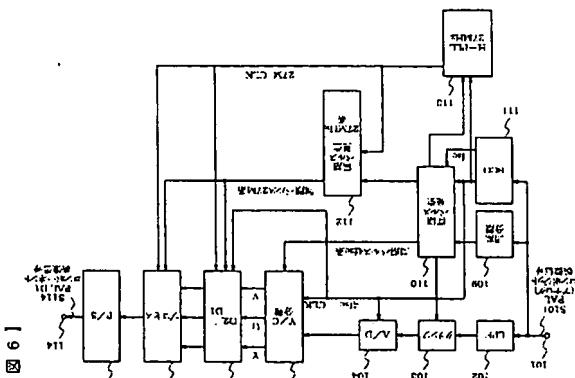
一一

(19)

[圖21]

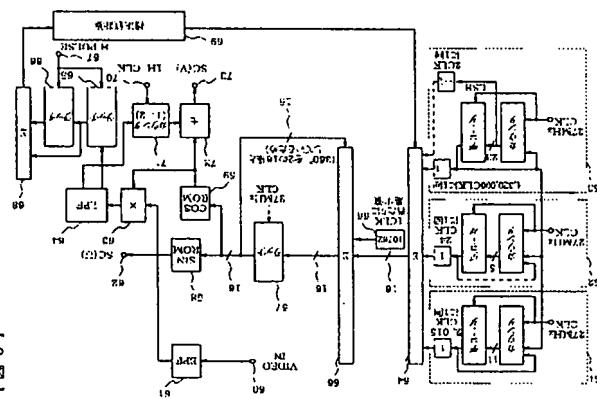


161



1

41



---

フロントページの焼き

F ターミナル(参考) SC056 AA01 BA03 DA03 DB07 DC02 GA02 GA03 GA05 GA13 GA15  
GA16 GA20 GA26 HA05 KA12 KA13 KB05 KC11 KD03  
KE02 KE03 KE05 KE09 KE24